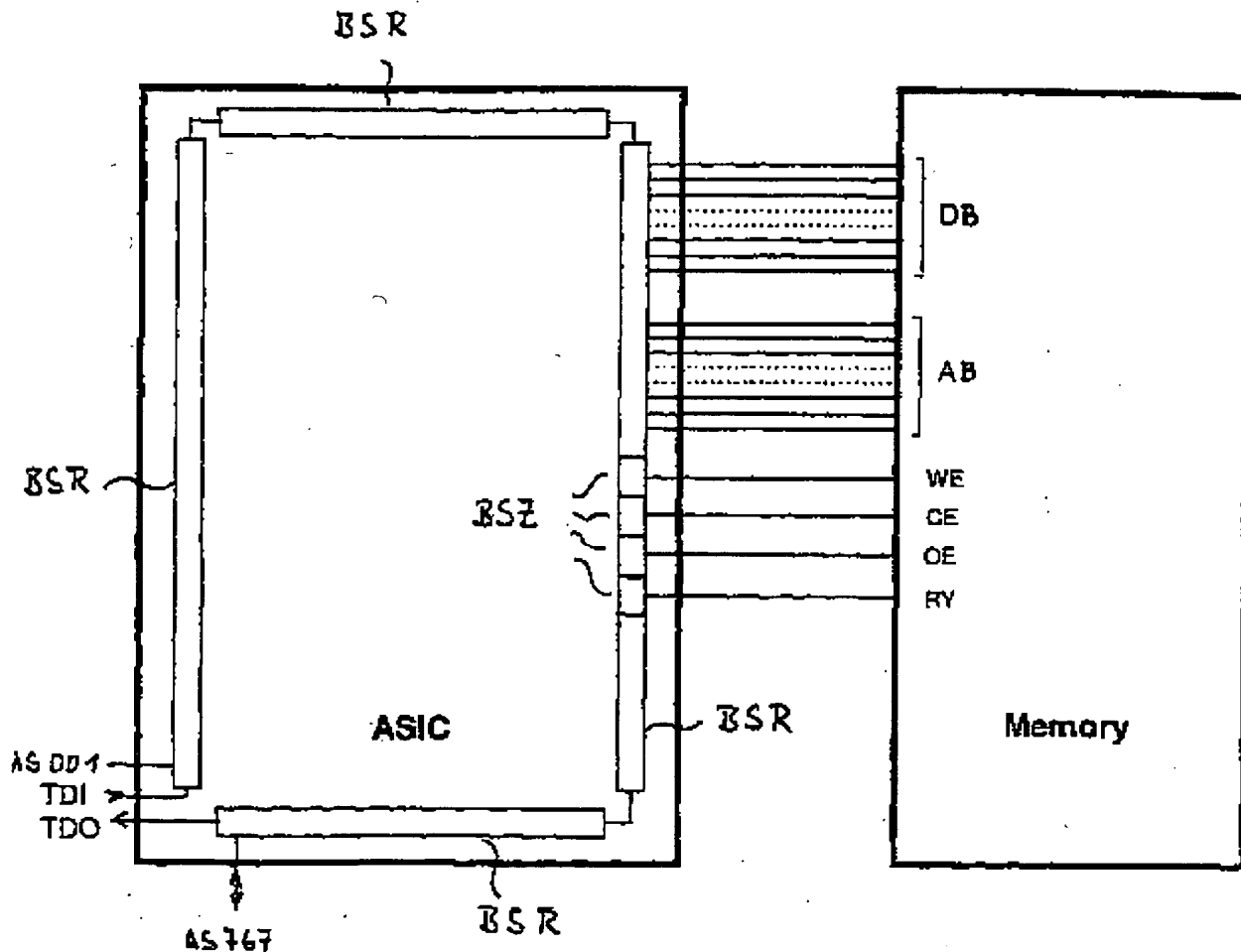


AN: PAT 2000-024862  
TI: Rapid programming of memory component ICs by boundary scan chain using ASIC comprising BSC with register connections and multiplexer controlled by instruction decoder signals  
PN: **DE19833970-A1**  
PD: 02.12.1999  
AB: The method uses an ASIC which comprises a boundary scan chain arranged with connections at boundary scan register (BSR). The connection (TDI) is made by BSR1 and the first input of multiplexer (MUX1). Instruction decoder signals (ID1, ID2) control the multiplexer connections. The method uses a memory IC programmed by a second IC to IEEE Standard 1149.1a.; Flow-through time of bit-sequence is shortened.  
PA: (SIEI ) SIEMENS AG;  
IN: KRAUSE K;  
FA: **DE19833970-A1** 02.12.1999;  
CO: DE;  
IC: G11C-016/06;  
MC: T01-F03C; U13-C04D; U14-A07B;  
DC: T01; U13; U14;  
FN: 2000024862.gif  
PR: DE1033970 28.07.1998;  
FP: 02.12.1999  
UP: 17.01.2000



BEST AVAILABLE COPY



⑮ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 198 33 970 A 1**

⑤① Int. Cl.<sup>6</sup>:  
**G 11 C 16/06**

⑦① Aktenzeichen: 198 33 970.4  
⑦② Anmeldetag: 28. 7. 98  
④③ Offenlegungstag: 2. 12. 99

**DE 198 33 970 A 1**

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

⑦① Anmelder:  
Siemens AG, 80333 München, DE

⑦② Erfinder:  
Krause, Karlheinz, Dipl.-Ing., 82152 Planegg, DE

⑤⑥ Entgegenhaltungen:  
US 54 91 666 A

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Schnelle Programmierung von Speicherbausteinen über Boundary Scan

⑤⑦ Ein eine integrierte Schaltung aufnehmender kunden-spezifischer Baustein ASIC weist eine seinen Anschlüssen zugeordnete Boundary-Scan-Kette gemäß Standard IEEE 1149.1a auf. Erfindungsgemäß ist eine Teilkette zur Programmierung (On-Board-Programming) eines mit dem Baustein ASIC verbundenen Speicherbausteins Flash-Memory selektierbar, wodurch eine erhebliche Reduzierung der Programmierdauer erzielbar ist.

**DE 198 33 970 A 1**

## Beschreibung

Der Anmeldungsgegenstand betrifft einen eine Integrierte Halbleiterschaltung aufweisenden Baustein, insbesondere einen Baustein nach Standard IEEE 1149.1a, zum Programmieren eines Speicherbausteins umfassend die Merkmale des Oberbegriffs des Anspruchs 1.

Zur Programmierung eines insbesondere durch ein Flash Memory gegebenen Speicherbausteins, der auf einer Leiterplatte eingebaut ist, kann die Boundary-Scan-Kette eines integrierenden Bausteins ASIC, der mit dem der Speicherbaustein verbunden ist, verwendet werden, um die Eingänge des Speicherbausteins zu stimulieren und die Zustände der Ausgänge zu erfassen (OBP On-Board-Programmierung).

Das Prinzip des Flash-Programmierens über die Boundary-Scan-Kette ist aus Elektronik 23/1997 S. 114 bis 122, insbesondere dort Bild 2, bekannt.

Die Boundary-Scan-Kette ist im allgemeinen mit einer der Anzahl von Anschlüssen des Bausteins gleichenden Anzahl von Boundary-Scan-Zellen gebildet. Der Baustein ist nur mit einem Bruchteil seiner Anzahl von Anschlüssen mit Anschlüssen des Speicherbausteins verbunden. Für jeden Vektor eines Programmierzyklus ist in der Boundary-Scan-Kette des Bausteins ein der Anzahl von Scan-Zellen entsprechender Schiebeprozess erforderlich, obgleich nur die Scan-Zellen der Anschlüsse des Bausteins, die mit dem Datenbus, dem Adressbus und den Steuerleitungen des Speicherbausteins verbunden sind, relevant sind. Der Schiebeprozess für jeden Vektor eines Programmierzyklus dauert also um ein Vielfaches länger als es für die eigentliche Programmierung notwendig wäre.

Zur Reduzierung der Programmierdauer werden in der angegebenen Literaturstelle Datenkompressionstechniken sowie ein Verfahren, bei dem das Write-Enable synchron mit den Schreibdaten gehalten wird, genannt.

Dem Anmeldungsgegenstand liegt das Problem zugrunde, einen neuen Weg anzugeben, wie der Zeitbedarf für das Anlegen bzw. Abfragen digitaler Zeichen an einem Bruchteil der Anzahl von Anschlüssen eines integrierenden Bausteins, dessen seinen Anschlüssen zugeordnete Scan-Zellen eine Boundary-Scan-Kette bilden, drastisch reduziert werden kann.

Das Problem wird bei einem durch die Merkmale des Oberbegriffs umrissenen Gegenstand durch die Merkmale des kennzeichnenden Teils des Anspruchs 1 gelöst.

Der Anmeldungsgegenstand bringt für eine Programmierung eines mit dem Baustein verbundenen Speicherbausteins eine erhebliche Verkürzung der Zeitdauer für die Programmierung mit sich, wobei die Verkürzung mit zunehmendem Verhältnis von Länge der gesamten Boundary-Scan-Kette zu Länge der Teil-Kette um so erheblicher ist.

Vorteilhafte Weiterbildungen des Anmeldungsgegenstandes sind in den Unteransprüchen angegeben.

Der Anmeldungsgegenstand wird im folgenden als Ausführungsbeispiel in einem zum Verständnis erforderlichen Umfang anhand von Figuren näher erläutert. Dabei zeigen:

Fig. 1 eine schematische Darstellung einer herkömmlichen Anordnung eines integrierenden Bausteins ASIC und eines Speicherbausteins Memory und

Fig. 2 eine erfindungsgemäße Ausgestaltung der in Fig. 1 dargestellten Boundary-Scan-Kette BS.

In den Figuren bezeichnen gleiche Bezeichnungen gleiche Elemente.

Fig. 1 zeigt einen integrierenden Baustein ASIC (für: Application Specific Integrated Circuit), der entsprechend dem Standard IEEE (Institut of

Electrical and Electronics Engineers) 1149.1a an seinen Anschlüssen AS001...AS767 den Anschlüssen jeweils zugeordnete Boundary-Scan-Zellen BSZ aufweist, wobei die Boundary-Scan-Zellen zu Boundary-Scan-Registern BSR gruppiert sind und die Gesamtheit der Boundary-Scan-Zellen eine Boundary-Scan-Kette bilden. Bekanntlich wird gemäß dem genannten Standard eine dem Anschluß TDI zugeführte serielle Folge von Bits synchron zu einem Taktsignal von Scan-Zelle zu Scan-Zelle weitergeschoben, die dann an den Anschlüssen auftreten. An dem Anschluß TDO wird eine Bitfolge synchron zu einem Taktsignal ausgegeben, die durch die dem Anschluß TDI zugeführte Folge von Bits oder durch die an den Anschlüssen der Scan-Zellen aufgenommenen Bits gegeben sein mag.

Der Baustein ASIC ist über mehrere Anschlüsse mit einem Speicherbaustein Memory, der vom Typ Flash sein mag, verbunden. Die Verbindungen der mehreren, beispielsweise 40, Anschlüsse betreffen den Datenbus DB, den Adressbus AS und die Steueranschlüsse WE, CE, OE und RY sowie gegebenenfalls einen nicht dargestellten Anschluß RP (Reset) zum Rücksetzen des Speicherbausteins. Die Anzahl der Verbindungen zwischen dem Baustein ASIC und dem Speicherbaustein beträgt einen Bruchteil der Anzahl der Anschlüsse des Bausteins ASIC.

Fig. 2 zeigt eine erfindungsgemäße Ausgestaltung der Boundary-Scan-Kette eines integrierenden Bausteins. Der Anschluß TDI ist mit dem Eingang eines ersten Boundary-Scan-Registers BSR 1 und dem ersten Eingang eines ersten Multiplexers MUX 1 verbunden. Der Ausgang des ersten Boundary-Scan-Registers BSR 1 ist mit dem zweiten Eingang des ersten Multiplexers MUX 1 verbunden. Der Ausgang des ersten Multiplexers MUX 1 ist mit dem Eingang eines zweiten Boundary-Scan-Registers BSR 2 verbunden. Die den Boundary-Scan-Zellen des zweiten Boundary-Scan-Registers BSR 2 zugeordneten Anschlüsse des Bausteins sind als Verbindungen zu einem Speicherbaustein Memory vorgesehen. Der Ausgang des zweiten Boundary-Scan-Registers BSR 2 ist mit dem Eingang eines dritten Boundary-Scan-Registers BSR 3 und dem ersten Eingang eines zweiten Multiplexers MUX 2 verbunden. Der Ausgang des dritten Boundary-Scan-Registers BSR 3 ist mit dem zweiten Eingang des zweiten Multiplexers MUX 2 verbunden. Der Ausgang des zweiten Multiplexers MUX 2 bildet den Anschluß TDO. Die beiden Multiplexer MUX sind nach Maßgabe eines ihrem Steueranschluß von einer Steuereinrichtung (Instruktion Decoder) zugeführten Steuersignals ID1, ID2 umschaltbar. Bei dem einen Zustand des Steuersignales sind die Boundary-Scan-Register in Serie geschaltet, wobei die dem Anschluß TDI zugeführte Bitfolge wie herkömmlich durch die Boundary-Scan-Register durchgeschoben wird bei dem anderen Zustand des Steuersignales wird die dem Anschluß TDI zugeführte Bitfolge über den ersten Multiplexer MUX 1 dem Boundary-Scan-Register BSR 2 und damit den Boundary-Scan-Zellen, die über die zugehörigen Anschlüsse mit dem Speicherbaustein verbunden sind, zugeführt, die von dem Boundary-Scan-Register BSR 2 abgegebene Bitfolge wird über den zweiten Multiplexer MUX 2 direkt dem Anschluß TDO zugeführt, wobei für eine Programmierung des Speicherbausteins eine maximale Verkürzung der Länge der von der Bitfolge zu durchlaufenden Boundary-Scan-Kette erreicht wird.

In einer Ausführungsform der Erfindung ist in die Boundary-Scan-Kette nur ein Multiplexer eingefügt. Durch Einfügen nur eines Multiplexers vor oder nach den Boundary-Scan-Zellen, die über die zugehörigen Anschlüsse mit dem Speicherbaustein zu verbinden sind, ist ganz allgemein eine Verkürzung der Länge der von der Bitfolge zu durchlaufen-

den Boundary-Scan-Kette gegeben, womit sich die Durchlaufzeit der Bitfolge verkürzt.

Sind die Boundary-Scan-Zellen, die über die zugehörigen Anschlüsse mit dem Speicherbaustein verbindbar sind, am Anfang oder am Ende der Boundary-Scan-Kette angeordnet, wird durch Anordnung nur eines Multiplexers zwischen diesen Zellen und der restlichen Boundary-Scan-Kette für eine Programmierung eine maximale Verkürzung der Länge der von der Bitfolge zu durchlaufenden Boundary-Scan-Kette erreicht.

Als Ausführungsbeispiel möge ein beim Anmelder eingesetzter Baustein ASIC dienen, dessen Boundary-Scan-Kette eine Länge von 767 Boundary-Scan-Zellen aufweist, wobei für die Programmierung und Verifizierung des mit dem Baustein verbundenen Speicherbausteins nur 42 Boundary-Scan-Zellen von Bedeutung sind. Um die 42 relevanten Boundary-Scan-Zellen zu steuern, sind jeweils 767 Schiebezyklen erforderlich.

Für die Programmierung wird erfindungsgemäß die Boundary-Scan-Kette auf die zur Programmierung tatsächlich erforderliche Anzahl von Zellen beschränkt. Für die im Standard IEEE 1149.1a definierten Instruktionen ist weiter die komplette Boundary-Scan-Kette verfügbar, während für die Programmierung von Speicherbausteinen die Boundary-Scan-Kette auf das Mindestmaß reduziert wird. Durch Einsatz von ein oder zwei Multiplexern ist eine Teilkette innerhalb der gesamten Boundary-Scan-Kette an beliebiger Stelle selektierbar. Die zur Programmierung benötigten Boundary-Scan-Zellen werden in die Teilkette gruppiert.

Der Standard IEEE 1149.1a weist die entsprechenden Freiräume auf, um eine weitere Instruktion 'PROGRAM' zur Ansteuerung des/der Multiplexer(s) zu definieren und einzuführen.

Aus Fig. 2 ist ersichtlich, daß durch entsprechende Steuerung der Multiplexer sowohl die komplette Boundary-Scan-Kette (z. B. bei der EXTEST Instruktion), als auch ein kleiner Teil der Boundary-Scan-Kette (z. B. bei der PROGRAM Instruktion) verfügbar ist. Der Unterschied zwischen EXTEST Instruktion und der PROGRAM Instruktion besteht nur darin, daß die Boundary-Scan-Kette bei Anwendung der PROGRAM Instruktion verkürzt ist. Somit ist keine Änderung der Ansteuerung der Boundary-Scan-Zellen erforderlich. Die Ansteuerung der Multiplexer erfolgt vom 'Instruktion Decoder' über die Steuersignale ID1, ID2 in Abhängigkeit der aktuellen Instruktion.

Für das Ausführungsbeispiel beträgt das Verhältnis komplette Boundary-Scan-Kette zu Teil der Boundary-Scan-Kette:  $767 / 42 = 18,26$ . Damit ist eine enorme Verkürzung der Programmierdauer zu erreichen.

Die Erfindung wurde zwar nur für die Programmierung eines Speicherbausteins beschrieben, es versteht sich jedoch, daß der Anmeldungsgegenstand ganz allgemein für ein schnelles Anlegen und/oder Abfragen eines Bruchteils der Anzahl der Anschlüsse eines integrierten Schaltungsbausteins, der eine seinen Anschlüssen zugeordnete Boundary-Scan-Kette aufweist, beispielsweise zu Testzwecken anwendbar ist.

#### Patentansprüche

1. Integrierte Halbleiterschaltung aufweisender Baustein (ASIC), insbesondere Baustein nach Standard IEEE 1149.1a, insbesondere zum Programmieren eines Speicherbausteins (Memory) umfassend
  - Boundary-Scan-Zellen (BSZ), die den Anschlüssen (AS) des Bausteins zugeordnet sind und die eine Kette bilden,
 dadurch gekennzeichnet, daß durch Umgehung eines

Teils der Kette eine Teilkette gebildet ist.

2. Integrierte Halbleiterschaltung nach Anspruch 1, dadurch gekennzeichnet, daß durch Einfügen mindestens eines Multiplexers in die Kette eine Teilkette gebildet ist.

3. Integrierte Halbleiterschaltung nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß durch Einfügen von zwei Multiplexern in die Kette eine Teilkette gebildet ist.

4. Integrierte Halbleiterschaltung nach einem der Ansprüche 2 oder 3, daß die Boundary-Scan-Zellen der Teilkette über ihre zugehörigen Anschlüsse des Bausteins mit Anschlüssen des Speicherbausteins verbindbar sind.

---

Hierzu 1 Seite(n) Zeichnungen

---

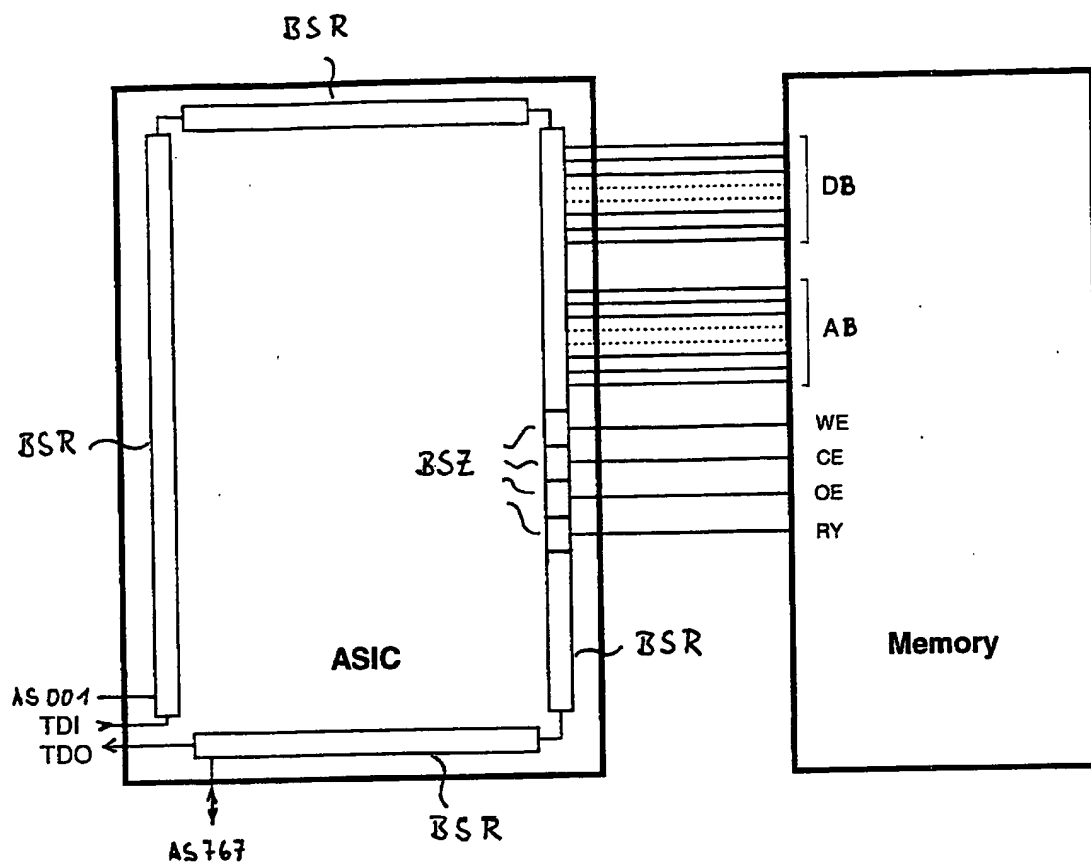


FIG 1

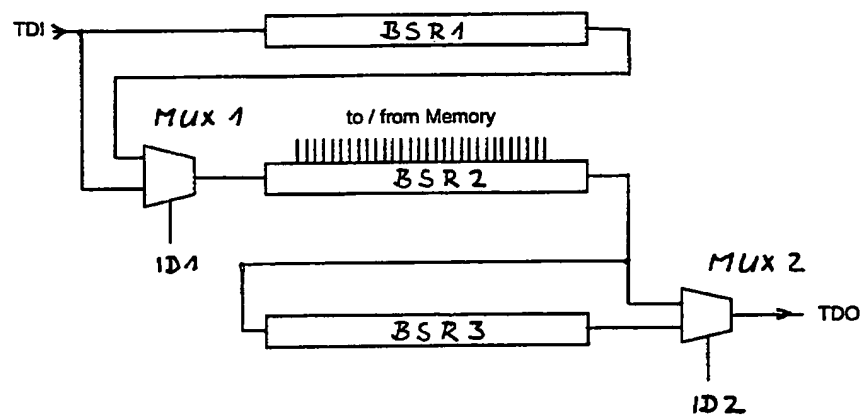


FIG 2